

(2148)4

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)(51) 。 Int. Cl. 7
H01L 21/3205

(11) 공개번호 특2002 - 0076293

(43) 공개일자 2002년10월09일

(21) 출원번호 10 - 2002 - 7010239

(22) 출원일자 2002년08월08일

번역문 제출일자 2002년08월08일

(86) 국제출원번호 PCT/US2001/03873

(86) 국제출원출원일자 2001년02월07일

(87) 국제공개번호 WO 2001/59834

(87) 국제공개일자 2001년08월16일

(81) 지정국

국내특허 : 일본, 대한민국,

EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터키,

(30) 우선권주장

09/501,124

2000년02월09일

미국 (US)

(71) 출원인

인피니언 테크놀로지스 노쓰 아메리카 코포레이션

미국 캘리포니아 산 호세 노쓰 퍼스트 스트리트 1730 (우편번호 : 95112 - 6000)

(72) 발명자

브레이스가브리엘라

미국12524뉴욕주피쉬킬오스본힐로드203

(74) 대리인

김창세

장성구

김원준

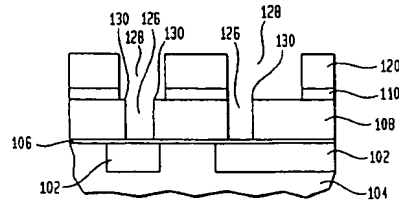
심사청구 : 없음

(54) 폴리머를 사용하는 자기정렬 이중 대머신 에칭

요약

본 발명에 따른 반도체 디바이스용 이중 대머신 구조를 형성하는 방법은 제 1 층(104) 상에 도전 영역(102)을 제공하고, 제 1 층 위에 인터레벨 유전층(108)을 형성하고 인터레벨 유전층 위에 에칭 정지층(110)을 형성하는 것을 포함한다. 에칭 정지층은 약 3.0 보다 작은 유전율을 갖는 폴리머 물질을 포함한다. 에칭 정지층은 비아 패터를 형성하기 위해 패터닝되고 트렌치 유전층(120)은 에칭 정지층위에 그리고 비아 패터의 홀 안에 증착된다. 트렌치(128)는 트렌치 패터에 따라 트렌치 층을 에칭함으로써 트렌치 유전층에 형성되고, 비아(126)은 제 1 층상에 도전 영역을 노출하고 비아에 트렌치를 자기정렬하기 위해 에칭 정지층을 사용하여 트렌치를 통과하여 에칭함으로써 인터레벨 유전층에 형성된다.

대표도



명세서

기술분야

본 발명은 반도체 제조에 관한 것으로, 특히, 회로 성능을 향상시키는 낮은 유전율 특성을 갖는 에칭 정지층 및 그 방법에 관한 것이다.

배경기술

단일 증착 공정에서 하부 메탈 구조에 콘택과 메탈 라인을 동시에 행하기 위해 이중 대머신(dual damascene) 구조가 사용된다. 형성될 메탈 라인으로부터 메탈 구조를 분리시키는 유전층에 트렌치와 비아를 형성할 때 어려움이 발생한다. 유전층을 통하여 접속이 요구되는 위치에 비아홀(via hole)이 위치되는 반면, 메탈 라인을 형성하기 위해 더 큰 거리에 걸쳐 트렌치가 형성된다. 비아와 트렌치가 서로 상이한 기하구조를 갖기 때문에, 비아와 트렌치는 상이한 패터닝 단계로 형성된다.

상이한 구조, 즉, 비아와 트렌치를 수용하기 위해서, 에칭 정지층(etch stop layer)이 두개의 유전층 사이에 샌드위치된다. 에칭 정지층은 실리콘 질화물질로 형성된다. 실리콘 질화물을 사용함으로써 산화물을 포함할 수 있는 제 1 유전층의 에칭을 선택적으로 실행하여 메탈라인을 형성한다. 다음에, 전형적으로 산화물질인 제 2 유전층을 통하여 비아를 패터닝하기 위해 질화물이 에칭되고 사용된다.

실리콘 질화물 에칭 정지층은 약 4 또는 5의 유전율을 포함한다. 0.25 마이크론 이하의 그라운드룰(ground rule)에서, 고 밀도를 갖는 메탈라인에 대하여, 실리콘 질화물은 인접한 메탈라인 사이 또는 상이한 층상의 메탈라인 사이에 전류 누설 또는 누화를 발생시킬 수 있는 고 유전율 때문에 문제가 발생한다.

따라서, 이중 대머신 구조 형성을 향상시키기 위하여 감소된 유전율을 갖고 하드 마스크 능력을 제공하며, 인접한 층에 대한 요구되는 선택성을 제공하는 향상된 에칭 정지층에 대한 필요성이 존재한다.

발명의 상세한 설명

본 발명에 따라 반도체 디바이스용 이중 대머신 구조를 형성하는 방법은 제 1 층상에 도전 영역을 제공하고, 제 1 층 위에 인터레벨 유전층을 형성하고 인터레벨 유전층 위에 에칭 정지층을 형성하는 것을 포함한다. 에칭 정지층은 약 3.0보다 작은 유전율을 갖는 폴리머 물질을 포함한다. 에칭 정지층은 패터닝되어 비아 패턴을 형성하고 트렌치 유전층은 에칭 정지층 상에 그리고 비아 패턴의 홀 안에 증착된다. 트렌치(128)는 트렌치 패턴에 따라 트렌치 층을 에칭함으로써 트렌치 유전층에 형성되고, 비아(126)는 에칭 정지층을 사용하여 트렌치를 통과하여 에칭함으로써 인터레벨 유전층에

형성되어 제 1 층상에 도전 영역을 노출하고 비아에 트렌치를 자기정렬시킨다.

다른 방법에서, 폴리머는 바람직하게 폴리오릴렌 - 에테르(polyorylene - ether)와 폴리벤족사졸(polybenzoxazole) 유전체중 적어도 하나를 포함한다. 제 1 층상에 도전 영역을 제공하는 단계는 메탈라인과 확산영역중의 하나를 제공하는 것을 포함할 수 있다. 도전 영역을 산화로부터 보호하기 위해 도전 영역상에 캡층을 형성하는 단계가 포함될 수 있다. 또 다른 방법에서, 인터레벨 유전층과 트렌치 유전층은 동일한 물질로 구성될 수 있다. 동일한 물질은 질화물과 산화물 중의 하나를 포함할 수 있다. 인터레벨 유전층과 트렌치 유전층은 바람직하게 에칭 정지층과 관련하여 선택적으로 에칭 가능하다. 인터레벨 유전층과 트렌치 유전층은 또한 상이한 물질로 구성될 수 있다. 에칭 정지층을 패터닝하여 비아 패턴을 형성하는 단계는 비아 패턴을 형성하기 위해 하드 마스크층 사용을 포함할 수 있다. 비아에 컨택을 그리고 트렌치에 도전 라인을 동시에 형성하기 위해 도전 물질을 증착하는 단계가 포함될 수 있다. 인터레벨 유전층 위에 에칭 정지층을 형성하는 단계는 폴리머를 스핀 온(spin on)하고 경화(cure)하는 것을 포함할 수 있다. 에칭 정지층은 약 100 nm 내지 약 250 nm의 두께를 포함할 수 있다.

반도체 디바이스용 이중 대머신 구조를 형성하는 또다른 방법은 제 1 층상에 도전 영역을 제공하고, 제 1 층 위에 약 3.0보다 작은 유전율을 갖는 폴리머 물질이 포함된 인터레벨 유전층을 형성하며, 인터레벨 유전층 위에 에칭 정지층을 형성하는 것을 포함한다. 상기 방법은 또한 에칭 정지층을 패터닝하여 비아 패턴을 형성하고, 에칭 정지층상에 그리고 비아 패턴의 홀(hole)안에 트렌치 유전층을 증착하며, 여기에서 트렌치 유전층은 약 3.0 보다 작은 유전율을 갖는 폴리머 물질을 포함하고, 트렌치 패턴에 따라 트렌치 층을 에칭함으로써 트렌치 유전층에 트렌치를 형성하는 것을 더 포함한다. 비아는 에칭 정지층을 사용하여 트렌치를 통과하여 에칭함으로써 인터레벨 유전층에 형성되어 비아에 트렌치를 자기정렬시키고 제 1 층상에 도전성 영역을 노출시킨다.

다른 방법에서, 폴리머는 바람직하게 폴리오릴렌 - 에테르와 폴리벤족사졸 유전체중 적어도 하나를 포함한다. 제 1 층상에 도전 영역을 제공하는 단계는 메탈 라인과 확산 영역 중 하나를 제공하는 것을 포함한다. 상기 방법은 도전 영역을 산화로부터 보호하기 위해 도전 영역상에 캡층을 형성하는 단계를 포함할 수 있다. 에칭 정지층은 산화물과 질화물중의 하나를 포함할 수 있다. 인터레벨 유전층과 트렌치 유전층은 바람직하게 에칭 정지층과 관련하여 선택적으로 에칭 가능하다. 인터레벨 유전층과 트렌치 유전층은 상이한 폴리머 물질로 구성될 수 있다.

또 다른 방법에서, 트렌치 패턴에 따라 트렌치층을 에칭함으로써 트렌치 유전층에 트렌치를 형성하는 단계는 하드마스크로써 산화물층을 사용하여 트렌치 유전층을 패터닝하는 단계를 포함할 수 있다. 상기 방법은 비아에 컨택을 그리고 트렌치에 도전성 라인을 동시에 형성하기 위해 도전 물질을 증착하는 단계를 더 포함한다. 인터레벨 유전층을 형성하는 단계는 폴리머를 스핀 온하고 경화하는 것을 포함할 수 있다. 트렌치 유전층을 증착하는 단계 또한 폴리머를 스핀 온하고 경화하는 것을 포함할 수 있다.

본 발명에 따른 이중 대머신 구조는 제 1 층상의 도전 영역, 제 1 층 위에 형성되고 그것을 통과하는 비아를 갖는 인터레벨 유전층, 비아와 연결되는 그안에 형성된 트렌치를 갖는 트렌치 유전층, 인터레벨 유전층과 트렌치 유전층 사이에 형성된 에칭 정지층을 포함한다. 트렌치와 비아는 도전 물질로 채워지고, 도전 물질은 트렌치에 있는 도전 라인을 형성하고, 도전 라인은 컨택에 의해 제 1 층의 도전 영역에 접속되고 비아에 형성된다. 인터레벨 유전층, 트렌치 유전층 및 에칭 정지층 중의 적어도 하나는 3.0이하의 유전율을 갖는 폴리머 물질을 포함한다.

대체 실시예에서, 폴리머는 폴리오릴렌-에테르와 폴리벤족사졸 유전체중 적어도 하나를 포함할 수 있다. 인터레벨 유전층과 트렌치 유전층 모두 폴리머 물질을 포함할 수 있고, 또는 에칭 정지층이 폴리머 물질을 포함할 수 있다. 에칭 정지층은 바람직하게 약 100 nm 내지 약 250 nm의 두께를 포함한다. 인접한 도전 라인은 0.25 마이크론이하의 간극을 가질수있다.

본 발명의 이러한 목적, 특성 및 이점은 다음에 이어지는 도시적 실시예의 상세한 설명과 첨부 도면을 참조함으로써 명백해질 것이다.

도면의 간단한 설명

본 발명은 다음의 도면을 참조하여 상세히 설명된다.

도 1은 본 발명에 따라 하드 마스크 층을 패터닝하기 위한 리지스트층을 도시는 반도체 디바이스의 단면도이다.

도 2는 본 발명에 따라 에칭 정지층을 패터닝하기 위해 하드 마스크 층이 사용되는 것을 도시하는 도 1의 반도체 디바이스의 단면도이다.

도 3은 본 발명에 따라 비아에 트렌치를 자기정렬시키기 위해 패터닝되고 도전 영역 아래에 놓이는 트렌치 유전층을 도시하는 도 2의 반도체 디바이스의 단면도이다.

도 4는 본 발명에 따라 이중 대머신 구조를 형성하기 위해 개방된 비아와 트렌치를 도시하는 도 3의 반도체 디바이스의 단면도이다.

도 5는 본 발명에 따라 이중 대머신 구조를 형성하기 위해 도전 물질로 채워진 트렌치와 비아를 도시하는 도 4의 반도체 디바이스의 단면도이다.

도 6은 본 발명에 따라 폴리머 인터레벨 및 트렌치 유전층을 구비하는 반도체 디바이스의 또 다른 실시예의 단면도이다.

실시예

본 발명은 이중 대머신 구조에 대하여 종래의 에칭 정지층을 능가하는 신규한 에칭 정지층을 제공한다. 신규한 에칭 정지층은, 그중에서도 특히, 인접한 층에 대한 선택성, 향상된 유전 특성을 제공하고, 향상된 공정 특성, 예를 들면, 더 큰 두께로 증착될 수 있는 특성을 제공할 수 있다. 본 발명은 인접한 도전 구조간의 전류 누설을 방지하고 인접한 도전 구조간의 누화를 감소시키는 폴리머 유전층을 제공한다.

도면에서, 유사 또는 동일 소자에 대하여는 도면상에서 동일 참조번호를 사용하며, 도 1에는 부분적으로 제조된 반도체 디바이스(100)가 도시된다. 반도체 디바이스(100)는 정전 랜덤 액세스 메모리(SRAM) 칩, 동적 랜덤 액세스 메모리(DRAM) 칩, 내장 메모리 칩등과 같은 메모리 칩을 포함한다. 반도체 디바이스(100)은 또한 논리 또는 프로세서 칩, 주문형 집적회로(ASIC) 칩등을 또한 포함할 수 있다. 본 발명은 유전층에 의해 분리되는 전극 또는 도전 라인을 갖는 기타 다층구조 또는 임의의 이중 대머신 구조용으로 사용될 수 있다. 도시적 목적용으로, 본 발명은 밑에 놓여있는 도전 또는 반도체 영역(102)에 자기정렬되는 이중 대머신 구조에 관하여 설명된다.

영역(102)은 기판(104)위에 또는 안에 형성될 수 있다. 기판(104)은 복수의 유전층, 전도층, 트랜지스터와 같은 능동 디바이스, 커패시터 또는 기타 소자같은 수동 디바이스를 포함할 수 있다. 기판(104)은 트렌치와 확산 영역을 포함할 수 있는 모노-크리스탈(mono-crystalline) 실리콘과 같은 반도체 물질을 포함할 수 있다. 영역(102)은 전도성 메탈 라인 또는 확산영역을 포함할 수 있다. 영역(102)은 도전 라인과 관련하여 도시적으로 설명된다.

캡층(cap layer:106)은 영역(102)위에 증착되어 연속적인 증착 공정에서 산화물이 영역(102)위에 형성되는 것을 방지한다. 캡층(106)은 바람직하게 얇은 층(수 나노미터)의 실리콘 질화물을 포함한다. 인터레벨 유전층(108)이 캡층(106)위에 형성된다. 인터레벨 유전층은 비아층을 형성하거나 또는 하부 영역(106)에 비아를 형성하기 위해 사용되는 층을 형성한다. 인터레벨 유전층(108)은 이산화규소와 같은 산화물 또는 보로 - 포스포르 실리케이트 유리(boro-phosphor silicate glass:BPSG), 보론 실리케이트 유리(boron silicate glass:BSG), 포스포르 실리케이트 유리(phosphor silicate glass:PSG), 아르세닉 실리케이트 유리(arsenic silicate glass:ASG)와 같은 유리 또는 등가물을 포함할 수 있다. 이롭게도, 본 발명에 따라, 질화물 층이 인터레벨 유전층(108)용으로 사용될 수 있다. 이러한 이유에 대하여는 하기에 더 상세하게 설명될 것이다.

에칭 정지층(110)은 본 발명에 따라 인터레벨 유전층(108)상에 형성된다. 에칭 정지층(110)은 바람직하게 산화물과 관련하여 또는 몇몇의 실시예에서는 질화물과 관련하여 선택적 에칭을 제공하는 폴리머 물질로 형성된다. 바람직한 실시예에서, 에칭 정지층(110)은 산화물과 질화물 모두와 관련하여 선택적으로 에칭가능하다. 에칭 정지층은 다우 코닝사(Dow Corning, Inc.)의 SILK와 같은 폴리오릴렌 - 에테르(polyorylene - ether) 또는 일본의 수미토모 베이크라이트사(Sumitomo Bakelite Co. Ltd.)의 CRA - X9111과 같은 폴리벤조자졸(polybenzoxazole) 유전체를 포함할 수 있다. 기타 폴리머들이 또한 사용될 수 있다.

에칭 정지층(110)은 바람직하게 인터레벨 유전층(108)상에서 스핀 온 되고 경화된다. 에칭 정지층(110)은 바람직하게 약 2.0 내지 약 3.0의 유전율을 갖는다. 일 실시예에서, 더 낮은 유전율이 바람직함에도 불구하고 약 2.6의 유전율이 얻어진다.

에칭 정지층(110)은 종래기술에 비하여 또다른 이점을 제공한다. 종래의 에칭 정지층은 전형적으로 트렌치 또는 비아의 요구되는 종횡비(aspect ratio)를 이루기 위해 가능한한 얇게 유지되어야 하는, 즉, 종횡비를 작게 유지해야하는 실리콘 질화물을 포함한다. 따라서, 종래의 실리콘 질화물 에칭 정지층은 100 nm이하로 유지되었다. 본 발명에 따라, 에칭 정지층(110)은 약 70 nm 내지 약 250 nm 사이, 바람직하게는 200 nm 내지 약 250 nm 사이의 두께를 포함할 수 있다. 놀랍게도, 더 얇은 에칭 정지층(110)이 트렌치와 비아에 대하여 요구되는 종횡비를 여전히 제공한다. 더욱이, 증가된 두께의 이점은 하기에 분명해 질 것이다.

하드 마스크층(112)이 에칭 정지층(110)상에 형성된다. 하드 마스크층(112)은 바람직하게 상이한 물질이 사용될 수 있음에도 불구하고 인터레벨 유전층(108)과 동일한 물질을 포함한다. 하드 마스크층(112)은 에칭 정지층(110)과 관련하여 선택적으로 에칭가능하다. 하드 마스크층은 유리와 같은 산화물 또는 질화물을 포함할 수 있다. 리지스트층(114)은 하드 마스크층상에서 스피닝되고 포토리소그래피와 같은 종래의 방법을 사용하여 패터닝되어 비아 패턴(118)을 제공한다. 비아 패턴은 인터레벨 접속을 제공하기 위해 영역(102) 아래로 비아를 에칭하기 위해 사용될 것이다.

도 2를 참조하면, 리지스트층(114)에 있는 비아 패턴(118)은 하드 마스크층(112)을 패터닝하기 위해 사용된다. 리지스트층(114)은 다음에 하드 마스크층(112)의 상부 표면으로부터 벗겨진다. 하드 마스크층(112)은 에칭 정지층(110)을 교대로 에칭하기 위해 사용된다. 바람직하게 리액티브 이온 에칭 공정과 같은 이방성 에칭 공정 사용함으로써 하드 마스크층(112)과 에칭 정지층(110) 모두 에칭하여 비아 패턴(118)을 거기에 패터닝한다.

도 3을 참조하면, 유전층(120)은 하드 마스크층(112)과 에칭 정지층(110)에 패터닝된 비아 패턴을 채우기 위해 증착된다. 유전층(120)은 바람직하게 하드 마스크층(112)과 동일한 물질, 예를 들면, 실리케이트 유리와 같은 산화물을 포함한다. 기타 물질이 또한 사용될 수 있는데, 예를 들면, 질화물 층이 층(120)용으로 증착될 수 있다. 리지스트층(122)은 유전층(120)상에 형성되고 종래의 방법을 사용하여 패터닝된다. 리지스트층(122)은 트렌치 패턴(124)에 따라 패

터닝되는데, 트렌치 패턴은 이중 대머신 구조에서 도전 라인을 형성하기 위해 사용되는 트렌치의 위치를 포함한다.

도 4를 참조하면, 유전층(120)과 인터레벨 유전층(108)이 트렌치 패턴(124)과 비아 패턴(118)에 따라 에칭된다. 비아 패턴(118)은 에칭 정지층(110)내에 형성된 반면 트렌치 패턴(124)은 리지스트층(122)까지 형성된다(도 1-3 참조). 리액티브 이온 에칭 공정과 같은 이방성 에칭 공정이 인터레벨 유전층(108)과 유전층(120)에 비아(126)와 트렌치(128)를 각각 형성하기 위해 수행된다. 비아(126)가 필요치 않은 곳에는 에칭 정지층(110)이 그 안에 홈을 형성하도록 패터닝되지 않았다. 에칭 정지층(110)이 폴리머 물질을 포함하고 있기 때문에, 에칭 공정은 선택적이고 층(108, 120) 만큼 빠르게 에칭 정지층(110)을 에칭하지 않는다. 이러한 방법으로, 트렌치(128)와 비아(126) 모두 동일한 에칭 공정에 의해 형성된다. 이롭게도, 트렌치(128)은 비아(126)와 영역(102)에 자기정렬된다.

에칭 정지층(110)은 리액티브 이온 에칭(RIE) 공정에서 산화물 또는 질화물에 선택성을 제공함으로써 폴리머 에칭 정지층을 사용하는 자기 정렬 이중 대머신 에칭을 가능하게 한다. 더우기, 에칭 정지층은 보다 높은 오버에칭(overetch) 마진을 제공하기 위해 좀 더 두껍게 할 수 있다.

에칭의 결과로써, 에칭 정지층(110)이 부식된다. 그러나, 웰(well)로 구역형성된 코너(130)는 남아있고 에칭 정지층(110)은 이제 트렌치(128)의 측벽을 포함한다. 에칭 정지층(110)의 낮은 유전율 값은 이제 인접한 트렌치(128) 사이의 향상된 유전 강도에 기여를 하여, 누화 및 전류 누설을 감소시킨다. 놀랍게도, 본 발명에 의해, 전류 누설이 상당히 감소되며 누화가 약 10 % 내지 약 15 % 만큼 감소된다. 이것은 더 작은 그라운드 룰, 예를 들면, 약 0.25 마이크론 그라운드 룰(예를 들면, 최소 특성 크기)이하를 갖는 디바이스에 특히 유용하다. 더 큰 두께를 갖는 에칭 정지층(110)을 제공함으로써, 코너(130)는 보다 용이하게 웰로 구역형성되고 코너 라운딩이 보다 쉽게 제거된다. 더우기, 더 두꺼운 에칭 정지층으로 더 긴 비아 깊이(중형비가 더 큼)를 이룰 수 있다.

도 5를 참조하면, 캡층(106)이 개방되어 영역(102)에 접근할 수 있다. 도전 물질(132)이 트렌치(128)과 비아(126)에 증착되어 동일한 증착 공정에서 도전 라인(134)과 콘택(136)을 형성한다. 도전 물질은 알루미늄, 구리, 폴리실리콘 또는 기타 도전 물질을 포함할 수 있다.

도 6을 참조하면, 본 발명의 대체 실시예는 폴리머 물질로 인터레벨 유전층(108)을 형성하는 것을 포함한다. 본 실시예에서, 영역(102)이 형성되고 캡층(106)이 그 위에 증착된다. 인터레벨 유전층(108')이 증착되고 폴리머 물질, 예를 들면, 폴리옥틸렌-에테르, 또는 폴리벤족사졸 유전체로 형성된다. 기타 폴리머가 또한 사용될 수 있다.

에칭 정지층(110')은 유전층(108')과 유전층(120')을 형성하기 앞서 리지스트 패터닝 공정을 사용하여 에칭 정지층(110')이 패터닝된 후에 형성되는 유전층(120')의 폴리머 물질과 관련하여 선택적으로 에칭가능하다. 에칭 정지층(110')의 구조는 하드 마스크를 필요로 하지 않는다; 대신에 포토리지스트 공정이 사용된다. 그러나, 하드 마스크층(150)은 리지스트 패터닝 공정을 사용하여 패터닝된 다음 층(108')을 패터닝하기 위해 사용된다. 에칭 정지층(110')은 산화물 또는 질화물질을 포함한다. 유전층(108', 120')은 바람직하게 캡층(106) 및 에칭 정지층(110')상에서 스피닝되고 경화된다. 유전층(108', 120')은 이롭게도 약 2.0 내지 약 3.0의 유전율을 포함한다. 일 실시예에서, 더 낮은 유전율 물질이 바람직하고 본 발명에 따라 이루어질 수 있지만 약 2.6의 유전율이 얻어진다. 하드 마스크층(150)은 상부 표면부터 벗겨진다. 층(108', 120') 모두 동일하거나 또는 상이한 폴리머로 형성되고, 게다가 몇몇의 실시예에서, 층(108', 120')중 단지 하나만이 본 발명에 따라 폴리머 물질을 포함할 수 있다는 것은 이해가능하다.

도 6에 도시된 구조는 인접한 구조간에 더 큰 유전 강도를 제공하고, 인터레벨 유전층(108)과 유전층(120)이 폴리머 물질로 형성된다는 것을 제외하고는 도 5에 도시된 구조와 결과적으로 동일한 구조를 갖는다. 에칭 정지층(110)은 폴

리머 물질과 관련하여 선택적으로 에칭가능한 물질로 형성된다. 도 6에 도시된 구조는 낮은 유전율을 갖는 트렌치 측벽(및 비아 측벽)의 더 큰 부분을 제공한다. 이것은 트렌치(128)와 비아(126)에 형성될 인접한 전도성 구조간의 전류 누설 및 누화를 감소(예를 들면 15% 이상 감소)시키는 더 큰 향상을 제공한다.

폴리머(설명을 위해 사용되었지만 제한적이지는 않음)를 사용하는 자기정렬 이중 대머신 에칭을 위해 바람직한 실시예로 설명되었지만, 상기 설명에 비추어 당업자에게는 변경과 수정이 이루어질 수 있다. 따라서, 첨부된 청구범위에서와 같이 본 발명의 사상과 범위내에서 개신된 본 발명의 특정 실시예에서 변경이 가능하다는 것은 이해가능하다. 따라서, 특허법에 의해 요구되는 상세 및 특정성을 구비하여 설명하므로써 특허로써 보호될 청구범위는 첨부하여 설명된다.

(57) 청구의 범위

청구항 1.

반도체 디바이스용 이중 대머신 구조를 형성하는 방법에 있어서,

제 1 층상에 도전 영역을 제공하는 단계,

제 1 층상에 인터레벨 유전층을 형성하는 단계,

인터레벨 유전층위에 약 3.0 보다 작은 유전율을 갖는 폴리머 물질을 포함하는 에칭 정지층을 형성하는 단계,

에칭 정지층을 패터닝하여 비아 패턴을 형성하는 단계,

에칭 정지층위에 그리고 비아 패턴의 홀안에 트렌치 절연층을 증착하는 단계,

트렌치 패턴에 따라 트렌치 층을 에칭함으로써 트렌치 유전층내에 트렌치를 형성하는 단계,

에칭 정지층을 사용하여 트렌치를 통과하여 에칭함으로써 인터레벨 유전층에 비아를 형성하여 트렌치를 비아에 자기정렬시키고 제 1 층 상에 도전 영역을 노출하는 단계를 포함하는

이중 대머신 구조 형성 방법.

청구항 2.

제 1 항에 있어서,

폴리머는 적어도 폴리오릴렌 - 에테르와 폴리벤족사졸 유전체중 하나를 포함하

이중 대머신 구조 형성 방법.

청구항 3.

제 1 항에 있어서,

제 1 층상에 도전 영역을 제공하는 단계는 메탈 라인과 확산 영역중의 하나를 제공하는 것을 포함하는

이중 대머신 구조 형성 방법.

청구항 4.

제 1 항에 있어서,

도전 영역을 산화로부터 보호하기 위해 도전 영역위에 캡층을 형성하는 단계를 더 포함하는

이중 대머신 구조 형성 방법.

청구항 5.

제 1 항에 있어서,

인터레벨 유전층과 트렌치 유전층은 동일한 물질로 구성되는

이중 대머신 구조 형성 방법.

청구항 6.

제 5 항에 있어서,

동일한 물질은 질화물 및 산화물중의 하나를 포함하는

이중 대머신 구조 형성 방법.

청구항 7.

제 1 항에 있어서,

인터레벨 유전층 및 트렌치 유전층은 에칭 정지층과 관련하여 선택적으로 에칭가능한

이중 대머신 구조 형성 방법.

청구항 8.

제 1 항에 있어서,

인터레벨 유전층과 트렌치 유전층은 상이한 물질로 구성되는

이중 대머신 구조 형성 방법.

청구항 9.

제 1 항에 있어서,

에칭 정지층을 패터닝하여 비아 패턴을 형성하는 단계는 비아 패턴을 형성하기 위해 하드 마스크층을 사용하는 것을 포함하는

이중 대머신 구조 형성 방법.

청구항 10.

제 1 항에 있어서,

도전 물질을 증착하여 비아에 컨택과 트렌치에 도전 라인을 동시에 형성하는 단계를 더 포함하는

이중 대머신 구조 형성 방법.

청구항 11.

제 1 항에 있어서,

인터레벨 유전층위에 에칭 정지층을 형성하는 단계는 폴리머를 스핀 온 하고 경화하는 것을 포함하는

이중 대머신 구조 형성 방법.

청구항 12.

제 1 항에 있어서,

에칭 정지층은 약 100 nm 내지 약 250 nm의 두께를 포함하는

이중 대머신 구조 형성 방법.

청구항 13.

반도체 디바이스용 이중 대머신 구조를 형성하는 방법에 있어서,

제 1 층 상에 도전 영역을 제공하는 단계,

약 3.0 보다 작은 유전율을 갖는 폴리머 물질을 포함하는 인터레벨 유전층을 제 1 층 위에 형성하는 단계,

인터레벨 유전층 위에 에칭 정지층을 형성하는 단계,

에칭 정지층을 패터닝하여 비아 패턴을 형성하는 단계,

에칭 정지층상에 그리고 비아 패턴의 홀 안에, 약 3.0보다 적은 유전율을 갖는 폴리머 물질을 포함하는 트렌치 유전층을 증착하는 단계,

트렌치 패턴에 따라 트렌치 층을 에칭함으로써 트렌치 유전층내에 트렌치를 형성하는 단계,

에칭 정지층을 사용하여 트렌치를 통과하여 에칭함으로써 인터레벨 유전층에 비아를 형성하여 트렌치를 비아에 자기정렬시키고 제 1 층 상에 도전 영역을 노출하는 단계를 포함하는

이중 대머신 구조 형성 방법.

청구항 14.

제 13 항에 있어서,

폴리머는 적어도 폴리오틸렌 - 에테르와 폴리벤족사졸 유전체중 하나를 포함하는

이중 대머신 구조 형성 방법.

청구항 15.

제 13 항에 있어서,

제 1 층상에 도전 영역을 제공하는 단계는 메탈 라인과 확산 영역중의 하나를 제공하는 것을 포함하는

이중 대머신 구조 형성 방법.

청구항 16.

제 13 항에 있어서,

도전 영역을 산화로부터 보호하기 위해 도전 영역위에 캡층을 형성하는 단계를 더 포함하는

이중 대머신 구조 형성 방법.

청구항 17.

제 13 항에 있어서,

에칭 정지층은 산화물 및 질화물중의 하나를 포함하는

이중 대머신 구조 형성 방법.

청구항 18.

제 13 항에 있어서,

인터레벨 유전층과 트렌치 유전층은 에칭 정지층과 관련하여 선택적으로 에칭가능한

이중 대머신 구조 형성 방법.

청구항 19.

제 13 항에 있어서,

인터레벨 유전층과 트렌치 유전층은 상이한 폴리머 물질로 구성되는

이중 대머신 구조 형성 방법.

청구항 20.

제 13 항에 있어서,

트렌치 패턴에 따라 트렌치 층을 에칭함으로써 트렌치 유전층에 트렌치를 형성하는 단계는 산화물 층을 하드 마스크로 사용하여 트렌치 유전층을 패터닝하는 단계를 포함하는

이중 대머신 구조 형성 방법.

청구항 21.

제 13 항에 있어서,

도전 물질을 증착하여 비아에 콘택을 그리고 트렌치에 도전 라인을 동시에 형성하는 단계를 더 포함하는
이중 대머신 구조 형성 방법.

청구항 22.

제 13 항에 있어서,

인터레벨 유전층을 형성하는 단계는 폴리머를 스핀 온하고 경화하는 것을 포함하는
이중 대머신 구조 형성 방법.

청구항 23.

제 13 항에 있어서,

트렌치 유전층을 증착하는 단계는 폴리머를 스핀 온하고 경화하는 것을 포함하는
이중 대머신 구조 형성 방법.

청구항 24.

이중 대머신 구조에 있어서,

제 1 층상의 도전 영역,

제 1 층 위에 형성되고 그것을 통과하는 비아를 갖는 인터레벨 유전층,

비아와 연결되는 그안에 형성된 트렌치를 갖는 트렌치 유전층,

인터레벨 유전층과 트렌치 유전층 사이에 형성된 에칭 정지층,

비아에 형성된 콘택에 의해 제 1 층의 도전 영역에 접속되는 트렌치에 도전 라인을 형성하는 도전 물질로 채워지는 트
렌치와 비아,

3.0 이하의 유전율을 갖는 폴리머 물질을 포함하는 적어도 하나의 인터레벨 유전층, 트렌치 유전층 및 에칭 정지층을
포함하는

이중 대머신 구조.

청구항 25.

제 24 항에 있어서,

폴리머는 적어도 폴리오릴렌-에테르와 폴리벤족사졸 유전체중 하나를 포함하는

이중 대머신 구조.

청구항 26.

제 24 항에 있어서,
인터레벨 유전층과 트렌치 유전층을 폴리머 물질을 포함하는
이중 대머신 구조.

청구항 27.

제 24 항에 있어서,
에칭 정지층은 폴리머 물질을 포함하는
이중 대머신 구조.

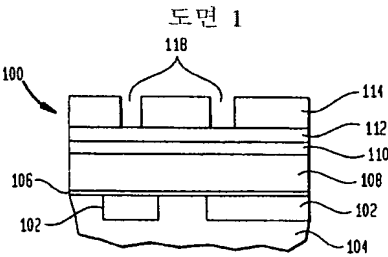
청구항 28.

제 27 항에 있어서,
에칭 정지층은 약 100 nm 내지 약 250 nm의 두께를 포함하는
이중 대머신 구조.

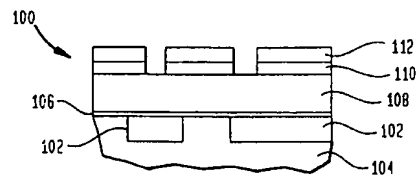
청구항 29.

제 27 항에 있어서,
인접한 도전 라인은 0.25 마이크론 이하의 간극을 갖는
이중 대머신 구조.

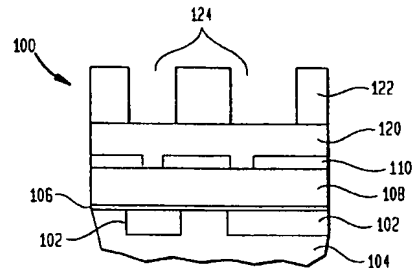
도면



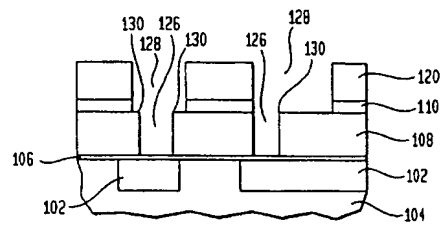
도면 2



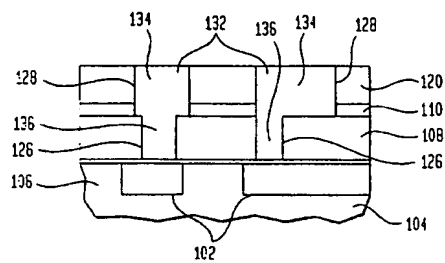
도면 3



도면 4



도면 5



도면 6

